

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



2871

PATENT
ATTORNEY DOCKET NO.: 049128-5053

#3
Proprietary
K. J. J. J.
4/4/02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Byoung Ho LIM

Application No.: 10/026,760

Filed: December 27, 2001

Group Art Unit: 2871

Examiner: Unassigned

For: **METHOD OF FABRICATING A LIQUID CRYSTAL DISPLAY PANEL**

Commissioner for Patents
Washington, D.C. 20231

CLAIM FOR PRIORITY

Under the provisions of 35 U.S.C. §119, Applicant hereby claims the benefit of the filing date of Certified copy of Japanese Patent Application No. 2000-87049 filed December 30, 2000 for the above-identified United States Patent Application.

In support of Applicants' claim for priority, filed herewith is a certified copy of the Japanese application.

Respectfully submitted,

MORGAN, LEWIS & BOCKIUS LLP

Robert J. Goodell
Reg. No. 41,040

Dated: March 27, 2002

MORGAN, LEWIS & BOCKIUS LLP
1111 Pennsylvania Avenue, N.W.
Washington, D.C. 20004
(202) 739-3000

RECEIVED
MAR 28 2002
TC 2800 MAIL ROOM



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

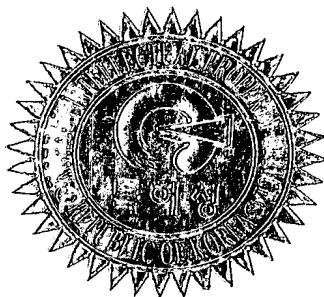
This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 특허출원 2000년 제 87049 호
Application Number PATENT-2000-0087049

출원 년 월 일 : 2000년 12월 30일
Date of Application DEC 30, 2000

출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.

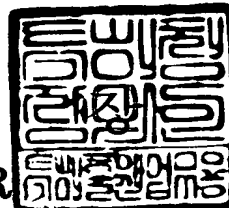
RECEIVED
MAR 28 2002
TC 2800 MAIL ROOM



2001 년 08 월 25 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2000.12.30
【발명의 명칭】	액정 패널의 제조방법
【발명의 영문명칭】	Method of Fabricating Liquid Crystal Panel
【출원인】	
【명칭】	엘지 .필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	1999-001050-4
【발명자】	
【성명의 국문표기】	임병호
【성명의 영문표기】	LIM,Byung-Ho
【주민등록번호】	621125-1117215
【우편번호】	730-200
【주소】	경상북도 구미시 봉곡동 391번지 현대 아파트 101동 902호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 김영호 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	2 면 2,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	31,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 표면에서의 얼룩 없이 고 휘도 및 박형의 액정 패널을 균일한 두께로 제조하기에 적합한 액정 패널 제조방법에 관한 것이다.

액정 패널 제조방법은 상부 기판 및 하부 기판을 마련하는 단계; 하부 기판 상에 박막 트랜지스터를 형성하는 단계; 하부 기판 상에 유기 절연막을 형성하는 단계; 박막 트랜지스터와 전기적으로 접속되게끔 유기 절연막 상에 화소 전극을 형성하는 단계; 화소 전극이 안쪽에 위치하게끔 상부 기판과 하부 기판을 합착하는 단계; 합착된 상부 기판 및 하부 기판의 노출 표면을 집중 세정하는 단계; 및 합착된 상부 기판 및 하부 기판의 노출 표면을 일정한 두께 만큼 제거하는 단계를 포함하는 것을 특징으로 한다.

【대표도】

도 5h

【명세서】**【발명의 명칭】**

액정 패널의 제조방법{Method of Fabricating Liquid Crystal Panel}

【도면의 간단한 설명】

도 1은 통상의 액정 패널을 나타내는 평면도이다.

도 2a 내지 도 2f는 도 1에서 선 'A-A'를 따라 절취한 액정 패널 제조방법을 단계적으로 설명하는 단면도이다.

도 3은 합착된 하부 유리 기판과 상부 유리 기판의 단면을 도시하는 도면이다.

도 4는 합착된 상부 유리 기판 및 하부 유리 기판의 박형화를 위한 식각공정을 설명하는 단면도이다.

도 5a 내지 도 5i는 본 발명의 실시 예에 따른 액정 패널 제조방법을 설명하는 단면도이다.

<도면의 주요 부분에 대한 부호의 설명>

10 : TFT

11 : 드레인 전극

12 : 화소 전극

13 : 소오스 전극

14 : 신호 라인

15 : 게이트 전극

16 : 주사 라인

17 : 콘택

18 : 하부 유리 기판

19 : 게이트 절연막

21 : 활성층 패턴

23 : 오믹 접촉층 패턴

25 : 보호층

25A : 이물질

27 : 밀봉 띠

28 : 상부 유리 기판

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 평판 표시 패널을 제조하는 방법에 관한 것으로, 특히 높은 휘도의 화상을 제공하기에 적합한 박형의 액정 패널을 제조하는 방법에 관한 것이다.

<16> 통상, 평판 표시 패널에는 액정 패널(Liquid Crystal Panel), 일렉트로 루우미넌스 패널(Electro-Luminescence Panel), 플라즈마 표시 패널(Plasma Display Panel) 등이 개발 또는 통용되고 있다. 이들 평판 패널 중에서 액정 패널은 소비 전력이 작고 소형화가 용이하여 가장 많이 사용되고 있다. 이 액정 패널은 액정을 통과하는 광량을 제어하여 비디오신호에 해당하는 화상을 표시하게 된다.

<17> 액정 패널은 액정 층에 전계를 인가하기 위한 다수의 화소 전극과 공통 전극과 그리고 다수의 화소 전극 각각에 공급되어질 비디오 신호를 절환하기 위한 다수의 스위치 소자를 구비한다. 스위치 소자로는 통상적으로 박막 트랜지스터

(Thin Film Transistor; 이하 'TFT'라 함)가 사용되고 있다. 액정 층은 화소 전극과 공통 전극 사이에 인가되는 전계의 세기에 따라 투과될 광의량을 조절하게 된다.

<18> 다수의 TFT와 다수의 화소 전극은 하부 유리 기판 상에 형성되게 된다. 공통 전극은 액정에 전계를 인가하는 방식에 따라 하부 유리 기판 또는 상부 유리 기판에 형성되게 된다. 실제로, 횡전계 방식의 액정 패널인 경우에 공통 전극은 TFT 및 화소 전극과 함께 하부 유리 기판에 위치하게 된다. 이와는 달리, 종전계 방식의 액정 패널의 경우에는 공통 전극은 상부 유리 기판에 형성되게 된다. 또한, 칼라 화상을 표시하기 위한 액정 패널은 하부 유리 기판 상에 마련되는 다수의 칼라 필터들을 더 가지게 된다.

<19> 화상의 휘도를 높이기 위하여, 액정 패널은 도1에 도시된 바와 같이 TFT(10)의 드레인 전극(11)과 접속된 화소 전극(12)이 소오스 전극(13)과 접속되어진 신호 라인(14) 및/또는 게이트 전극(15)과 접속된 주사 라인(16)과 중첩되게 한다. 이 결과, 고 휘도 액정 패널에서는 화소의 개구율이 커지게 된다. 이를 위하여, 고 휘도 액정패널에는 유기 절연막이 사용되게 된다.

<20> 유기 절연막은 유기 절연 물질을 유리 기판 상에 코팅하고 그 코팅된 유기 절연 물질을 큐어링(Curing)함에 의해 형성되게 된다. 이 때, 퓨움(Fume)에 의해 유기 절연 물질이 유리 기판의 점착됨으로써 유리 기판의 배면이 오염되게 된다.

<21> 실제로, 고 휘도 액정 패널에 사용되는 하부 유리 기판은 도2a 내지 도2f에 도시된 바와 같은 제작 공정을 통하여 제작되게 된다. 도2a 내지 도2f는 도1

에 도시된 하부 유리 기판을 A-A'을 선을 따라 절단한 하부 유리 기판의 단면을 도시한다.

<22> 투명한 유리 기판(18) 상에 게이트 전극(13)이 도2a에서와 같이 마련되게 된다. 게이트 전극(15)은 스퍼터링(Sputtering) 등의 방법으로 알루미늄(Al) 또는 구리(Cu) 등을 증착하여 금속박막을 형성한 다음 그 금속박막을 습식방법을 포함하는 포토리소그래피방법에 의해 패터닝함에 의하여 유리 기판 기판(18)상에 형성된다.

<23> 도2b를 참조하면, 게이트 전극(15)이 형성되어진 유리 기판(18) 상에는 게이트 절연막(19), 활성층 패턴(21) 및 오믹 접촉층 패턴(23)이 순차적으로 적층되게 된다. 게이트 절연막(19)은 게이트 전극(15)을 가지는 유리 기판(18)의 전 표면에 화학기상증착방법(Chemical Vapor Deposition : 이하 'CVD' 라함)에 의해 질화 실리콘 또는 산화 실리콘과 같은 절연 물질을 증착함에 의해 형성되게 된다

<24> 이어서, 게이트 절연막(19)의 표면에는, 불순물이 도핑되지 않은 비정질 실리콘 또는 다결정 실리콘과 N형 또는 P형 불순물이 높은 농도로 도핑되어진 비정질 실리콘 또는 다결정 실리콘을 CVD 방법에 의해 증착함에 의해 게이트 절연막(19) 상에 연속적으로 증착되게 된다. 이렇게 증착되어진 활성층 및 오믹 접촉층은 게이트 전극(19)과 대응하는 부분에만 잔류하게끔 이방성식각을 포함하는 포토리소그래픽방법에 의해 패터닝된다. 이 결과, 도2b에 도시된 바와 같은 활성층 패턴(21) 및 오믹 접촉층 패턴(23)이 마련되게 된다. 이 때, 게이트 절연

막(19)는 활성층 패턴(21) 상에 적층되어진 오믹 접촉층 패턴(23) 사이에서 노출되게 된다.

<25> 도 2c를 참조하면, 오믹 접촉층 패턴(23) 표면 및 측면과 활성층 패턴(21)의 측면과 접촉되됨과 아울러 서로 대응되는 드레인 전극(11) 및 소오스 전극(13)이 마련되게 된다. 이들 드레인 전극(11) 및 소오스 전극(13)은 오믹 접촉층 패턴(23) 및 노출되어진 게이트절연막(19) 상에 몰리브덴(Mo), MoW, MoTa 또는 MoNb등의 몰리브덴 합금(Mo alloy)을 CVD방법 또는 스퍼터링(sputtering)방법으로 증착한 다음 그 증착된 금속층 또는 금속합금층을 포토리소그래피방법으로 패터닝함으로써 형성된다.

<26> 또한, 드레인 전극(11) 및 소오스 전극(13)이 패터닝 될 때, 게이트 전극(19)의 상부에 위치하는 부분의 오믹 접촉층 패턴(23)도 제거되어 활성층 패턴(21)을 노출시킨다. 여기서, 드레인 전극(11) 및 소오스 전극(13) 사이의 위치한 활성층 패턴(21)은 채널의 역할을 담당하게 된다.

<27> 다음으로, 드레인 전극(11) 및 소오스 전극(13)이 형성되어진 유리 기판(18)의 전 표면에는 보호층(25)이 도2d에 도시된 바와 같이 마련되게 된다. 이 보호층(25)은 아크릴계(acryl)유기화합물, 테프론(Teflon), BCB(benzocyclobutene), 사이토프 (cytop)또는 PFCB(perfluorocyclobutane)등의 유전상수가 작은 유기절연물을 스핀-온-글래스(Spin-On-Glass) 방법 등에 의해 유리 기판(18) 상에 코팅함에 의하여 평탄한 표면을 가지게끔 형성된다. 이 때, 유리 기판(18)의 배면에는 표면에 의하여 유기 절연 물질이 불필요하게 접촉될

수 있다. 다시 말하여, 유기 절연 물질로 된 보호층(25)이 형성될 때 유리 기판(18)의 배면은 유기 절연 물질로 된 이물질(25A)로 오염되게 된다.

<28> 이 보호층(25)은 포토리소그래피방법에 의해 패터닝되어 도2e에 도시된 바와 같이 드레인전극(11)을 노출시키는 접촉홀(17A)이 형성되게 한다.

<29> 접촉홀(17A)이 형성되어진 보호층(25)의 전 표면에는 인듐-틴-옥사이드(Indium-Tin-Oxide : 이하 'ITO'라함), 인듐-아연-옥사이드(Indium-Zinc-Oxide) 또는 인듐-틴-아연 옥사이드(Indium-Tin-Zinc-Oxide)과 같은 투명 전극 물질이 증착되게 된다. 투명 전극 물질은 CVD 방법에 의해 패터닝되어 도2f에서와 같이 보호층(25)상의 TFT와 대응되는 부분을 제외한 부분에 화소전극(12)이 형성되게 한다.

<30> 이와 같이 TFT 및 화소 전극이 형성되어진 하부 유리 기판은 공통 전극 및/또는 칼라 필터들이 마련되어진 상부 유리 기판과 합착되게 된다. 상부 유리 기판과 합착되기 전에, 상부 유리 기판(18) 상에는 액정의 주입을 위하여 배향막이 인쇄되게 된다. 그 인쇄되어진 배향막은 러빙되게 된다. 배향막이 마련되어진 하부 유리 기판의 표면의 가장자리에 셀 갭을 제공하기 위한 봉합 띠(27)가 형성되게 된다. 마찬가지로, 상부 유리 기판에도 공통 전극을 덮게끔 배향막이 형성되고, 그 배향막도 러빙(Rubing)되게 된다.

<31> 이렇게 배향막 및 봉합 띠가 마련되어진 하부 유리 기판(18)은 도3에 도시된 바와 같이 배향막이 형성되어진 상부 유리 기판(28)과 봉합 띠(27)의 높이만큼 이격되게 합착 된다. 이 때, 상부 유리 기판(28) 상의 배향막과 및 하부 유리 기판(18) 상의 배향막은 서로 대면되게 된다.

<32> 또한, 액정 패널은 두께를 얇게 하기 위하여 합착되어진 상부 유리 기판(28)의 표면 및 하부 유리 기판(18)의 배면이 도4에 도시된 바와 같이 식각되게 된다.

<33> 그러나, 이렇게 상부 유리 기판(28)의 표면과 함께 식각되어진 하부 유리 기판(18)은 배면은 유기 절연막의 형성 시에 오염되어진 유기 절연 물질과 같은 오염 물질로 인하여 균일하지 않게 된다. 다시 말하여, 유기 절연 물질과 같은 오염물질이 있었던 자리에 돌출됨에 의하여 얼룩(25B)이 생기게 된다. 이러한 얼룩은 화상을 왜곡 시키게 된다.

<34> 이러한 얼룩의 발생을 방지하기 위하여, 합착되어진 상부 유리 기판(28)의 표면 및 하부 유리 기판(18)의 배면을 그라인딩하는 방법이 사용되기도 된다. 이 그라인딩 방법은 상부 유리 기판(28)의 표면 및 하부 유리 기판(18)의 절삭 두께를 균일하게 유지할 수 없어 제품별 액정 패널의 두께를 균일하게 하기 곤란하다. 아울러, 그라인딩 방법은 액정 패널 각각에 대하여 수작업의 형태로 수행되어야 하므로 제조 공정의 효율성을 떨어뜨린다.

【발명이 이루고자 하는 기술적 과제】

<35> 따라서, 본 발명의 목적은 표면에서의 얼룩 없이 고 휘도 및 박형의 액정 패널을 균일한 두께로 제조하기에 적합한 액정 패널 제조방법을 제공함에 있다.

【발명의 구성 및 작용】

<36> 상기 목적들을 달성하기 위하여, 본 발명의 실시 예에 따른 액정 패널 제조 방법은 상부 기판 및 하부 기판을 마련하는 단계; 하부 기판 상에 박막 트랜지스터를 형성하는 단계; 하부 기판 상에 유기 절연막을 형성하는 단계; 박막 트랜지스터와 전기적으로 접속되게끔 유기 절연막 상에 화소 전극을 형성하는 단계; 화소 전극이 안쪽에 위치하게끔 상부 기판과 하부 기판을 합착하는 단계; 합착된 상부 기판 및 하부 기판의 노출 표면을 집중 세정하는 단계; 및 합착된 상부 기판 및 하부 기판의 노출 표면을 일정한 두께 만큼 제거하는 단계를 포함하는 것을 특징으로 한다.

<37> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면을 참조한 실시 예의 설명을 통하여 명백하게 드러나게 될 것이다.

<38> 이하, 본 발명의 실시 예를 도5a 내지 도5i 를 참조하여 상세하게 설명하기로 한다.

<39> 도5a 내지 도5i 은 본 발명의 실시 예에 따른 액정 패널 제조방법을 설명하는 단면도이다. 도5a 내지 도5f는 도1의 액정 패널을 A-A' 선을 따라 절단한 하부 유리 기판의 단면을 도시하고 도5g 내지 도5i는 합착되어진 상부 유리 기판 및 하부 유리 기판의 단면을 도시한다.

<40> 도5a는 자신의 표면에 게이트 전극(15)이 형성되어진 투명한 하부 유리 기판(18)을 도시한다. 게이트 전극(15)은 스퍼터링(Sputtering) 등의 방법으로 알루미늄(Al) 또는 구리(Cu) 등을 증착하여 금속박막을 형성한 다음 그 금속박막을

습식방법을 포함하는 포토리소그래피방법에 의해 패터닝함에 의하여 유리 기판 기판(18)상에 형성된다.

<41> 도5b를 참조하면, 게이트 전극(15)이 형성되어진 유리 기판(18) 상에는 게이트 절연막(19), 활성층 패턴(21) 및 오믹 접촉층 패턴(23)이 순차적으로 적층되게 된다. 게이트 절연막(19)는 게이트 전극(15)을 가지는 유리 기판(18)의 전 표면에 화학기상증착방법(Cheical Vapor Deposition : 이하 'CVD' 라함)에 의해 질화 실리콘 또는 산화 실리콘과 같은 절연 물질을 증착함에 의해 형성되게 된다

<42> 이어서, 게이트 절연막(19)의 표면에는, 불순물이 도핑되지 않은 비정질 실리콘 또는 다결정 실리콘과 N형 또는 P형 불순물이 높은 농도로 도핑되어진 비정질 실리콘 또는 다결정 실리콘을 CVD 방법에 의해 증착함에 의해 게이트 절연막(19) 상에 연속적으로 증착되게 된다. 이렇게 증착되어진 활성층 및 오믹 접촉층은 게이트 전극(19)과 대응하는 부분에만 잔류하게끔 이방성식각을 포함하는 포토리소그래픽방법에 의해 패터닝된다. 이 결과, 도5b에 도시된 바와 같은 활성층 패턴(21) 및 오믹 접촉층 패턴(23)이 마련되게 된다. 이 때, 게이트 절연막(19)는 활성층 패턴(21) 상에 적층되어진 오믹 접촉층 패턴(23) 사이에서 노출되게 된다.

<43> 오믹 접촉층 패턴(23) 표면 및 측면과 활성층 패턴(21)의 측면과 접촉됨과 아울러 서로 대응되는 드레인 전극(11) 및 소오스 전극(13)이 도5c에 도시된 바와 같이 마련되게 된다. 이들 드레인 전극(11) 및 소오스 전극(13)은 오믹 접촉층 패턴(23) 및 노출되어진 게이트절연막(19) 상에 몰리브덴(Mo), MoW, MoTa 또

는 MoNb등의 몰리브덴 합금(Mo alloy)을 CVD방법 또는 스퍼터링(sputtering)방법으로 증착한 다음 그 증착된 금속층 또는 금속합금층을 포토리쓰그래피방법으로 패터닝함으로써 형성된다.

<44> 또한, 드레인 전극(11) 및 소오스 전극(13)이 패터닝 될 때, 게이트 전극(19)의 상부에 위치하는 부분의 오믹 접촉층 패턴(23)도 제거되어 활성층 패턴(21)을 노출시킨다. 여기서, 드레인 전극(11) 및 소오스 전극(13) 사이의 위치한 활성층 패턴(21)은 채널의 역할을 담당하게 된다.

<45> 다음으로, 드레인 전극(11) 및 소오스 전극(13)이 형성되어진 유리 기판(18)의 전 표면에는 보호층(23)이 도5d에 도시된 바와 같이 마련되게 된다. 이 보호층(25)은 아크릴계(acryl)유기화합물, 테프론(Teflon), BCB(benzocyclobutene), 사이토프 (cytop)또는 PFCB(perfluorocyclobutane)등의 유전상수가 작은 유기절연물을 스핀-온-글래스(Spin-On-Glass) 방법 등에 의해 유리 기판(18) 상에 코팅함에 의하여 평탄한 표면을 가지게끔 형성된다. 이 때, 유리 기판(18)의 배면에는 퓨움에 의하여 유기 절연 물질이 불필요하게 접촉될 수 있다. 다시 말하여, 유기 절연 물질로 된 보호층(25)이 형성될 때 유리 기판(18)의 배면은 유기 절연 물질로 된 이물질(25A)로 오염되게 된다.

<46> 이 보호층(25)은 포토리쓰그래피방법에 의해 패터닝되어 도5e에 도시된 바와 같이 드레인전극(11)을 노출시키는 접촉홀(17a)이 형성되게 한다.

<47> 접촉홀(17a)이 형성되어진 보호층(25)의 전 표면에는 인듐-틴-옥사이드(Indium-Tin-Oxide : 이하 'ITO'라함), 인듐-아연-옥사이드(Indium-Zinc-Oxide) 또는 인듐-틴-아연 옥사이드(Indium-Tin-Zinc-Oxide)과 같은 투명 전극 물질이

중착되게 된다. 투명 전극 물질은 CVD 방법에 의해 패터닝되어 도5f에서와 같이 보호층(25)상의 TFT와 대응되는 부분을 제외한 부분에 화소전극(12)이 형성되게 한다.

<48> 이와 같이 TFT 및 화소 전극이 형성되어진 하부 유리 기판(18) 상에는 추후 액정 셀들을 배향시키기 위한 배향막(도시하지 않음)이 화소전극 및 노출되어진 보호층의 상부에 인쇄되게 된다. 하부 유리 기판(18) 상의 배향막은 러빙되게 된다. 배향막이 마련되어진 하부 유리 기판의 표면의 가장자리에 셀 갭을 제공하기 위한 봉합 띠(27)가 형성되게 된다.

<49> 이러한 하부 유리 기판(18)이 제조되는 동안 상부 유리 기판(28)이 마련되게 된다. 상부 유리 기판에는 공통 전극 및/또는 칼라 필터들이 형성될 수 있다. 공통 전극 및/또는 칼라 필터들이 마련되어진 경우, 상부 유리 기판(28)의 구조물 상에는 액정의 배향을 위한 배향막이 인쇄되게 된다. 상부 유리 기판(28)에 인쇄되어진 배향막도 러빙되게 된다.

<50> 이렇게 배향막 및 봉합 띠(27)가 마련되어진 하부 유리 기판(18)은 도5g에 도시된 바와 같이 배향막이 형성되어진 상부 유리 기판(28)과 봉합 띠(27)의 높이 만큼 이격되게 합착 된다. 이 때, 상부 유리 기판(28) 상의 배향막과 및 하부 유리 기판(18) 상의 배향막은 서로 대면되게 된다.

<51> 합착되어진 상부 유리 기판(28)의 표면 및 하부 유리 기판(18)의 배면은 도5h에 도시된 바와 같이 집중 세정되어 유기 절연 물질과 같은 이물질(25A)이 제거되게 한다. 다른 방법으로, 합착되어진 상부 유리 기판(28)의 표면 및 하부

유리 기판(18)의 배면은 유기 절연 물질과 같은 이물질이 완전하게 제거되게끔 건식 에칭될 수도 있다.

<52> 이러한 집중 세정 또는 건식 에칭 후, 상부 유리 기판(28)의 표면 및 하부 유리 기판(18)의 배면은 식각액에 디핑된 상태로 습식 에칭되어 일정한 두께 만큼의 표면층이 도5i에 도시된 바와 같이 제거되게 한다. 이 습식 식각에 의하여 합착되어진 상부 유리 기판(28)의 표면으로부터 하부 유리 기판(18)의 배면에 이르는 액정 패널의 두께가 얇아지게 된다. 또한, 습식 식각되어진 상부 유리 기판(28)의 표면 및 하부 유리 기판(18)의 배면은 미리 유기 절연 물질과 같은 이물질(25A)이 제거됨으로써 얼룩이 없이 균일하게 된다.

【발명의 효과】

<53> 상술한 바와 같이, 본 발명에 따른 액정 패널 제조방법은 합착된 상부 유리 기판과 하부 유리 기판의 노출된 표면이 슬림화를 위하여 일정한 두께 만큼 식각되기 전에 집중 세정 또는 건식 식각에 의해 유기 절연 물질과 같은 이물질이 제거되게 된다. 이에 따라, 슬림화를 위한 식각 후 상부 유리 기판 및 하부 유리 기판은 얼룩 없는 균일한 표면을 가지게 된다. 이 결과, 본 발명에 따른 액정 패널 제조방법에 의해 제조된 액정 패널은 왜곡이 없는 화상을 제공할 수 있다.

<54> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본

발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

【특허청구범위】**【청구항 1】**

상부 기판 및 하부 기판을 마련하는 단계;

상기 하부 기판 상에 박막 트랜지스터를 형성하는 단계;

상기 하부 기판 상에 유기 절연막을 형성하는 단계;

상기 박막 트랜지스터와 전기적으로 접속되게끔 상기 유기 절연막 상에 화소 전극을 형성하는 단계;

상기 화소 전극이 안쪽에 위치하게끔 상기 상부 기판과 상기 하부 기판을 합착하는 단계;

상기 합착된 상부 기판 및 하부 기판의 노출 표면을 집중 세정하는 단계;
및

상기 합착된 상부 기판 및 하부 기판의 노출 표면을 일정한 두께 만큼 제거하는 단계를 포함하는 것을 특징으로 하는 액정 패널 제조방법.

【청구항 2】

제 1항에 있어서,

상기 표면 세정 단계가 건식 식각을 포함하는 것을 특징으로 하는 액정 패널 제조방법.

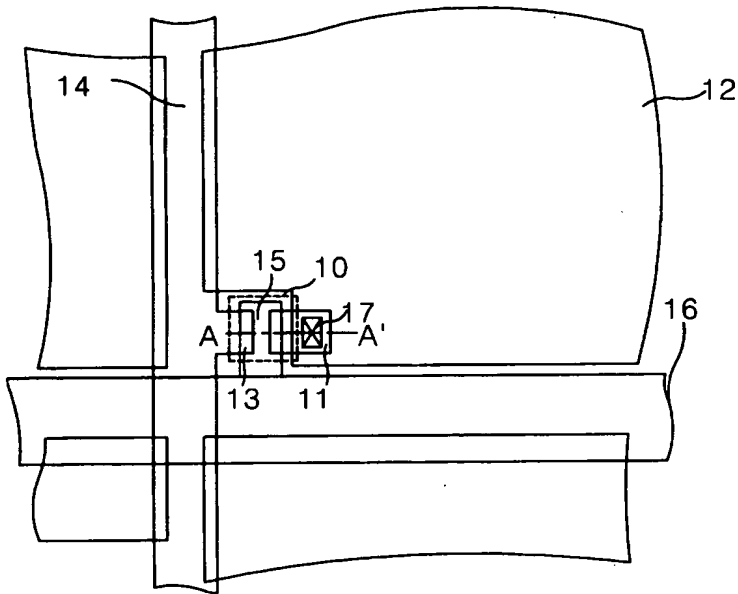
【청구항 3】

제 1 항 또는 제 2 항에 있어서,

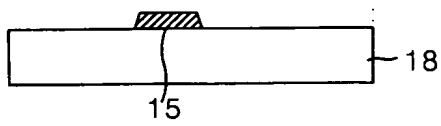
상기 표면 제거 단계가 습식 식각을 포함하는 것을 특징으로 하는 액정 패널 제조방법.

【도면】

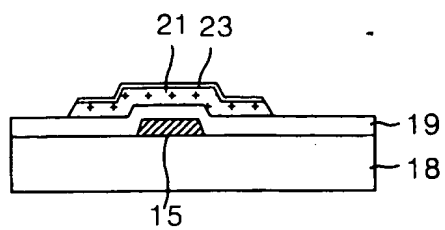
【도 1】



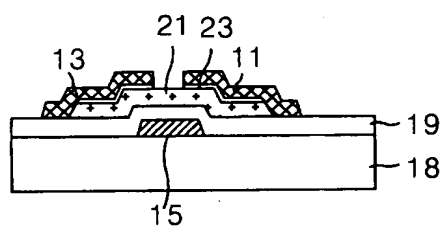
【도 2a】



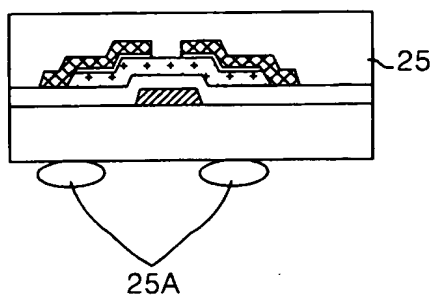
【도 2b】



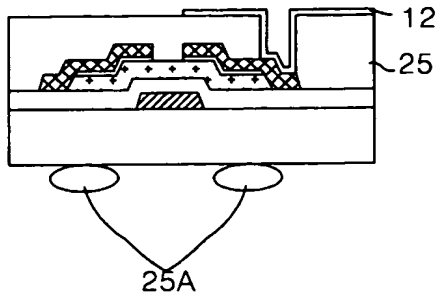
【도 2c】



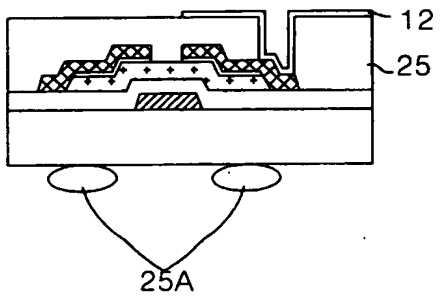
【도 2d】



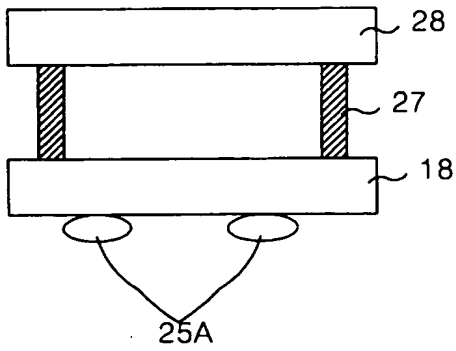
【도 2e】



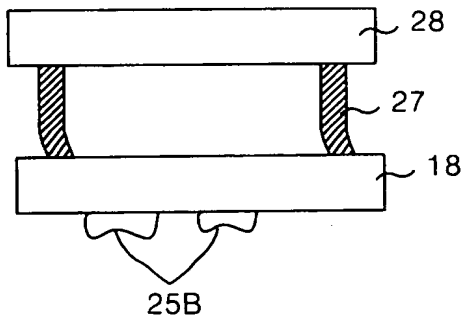
【도 2f】



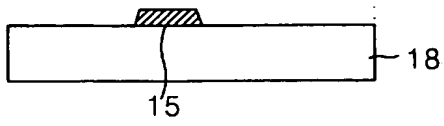
【도 3】



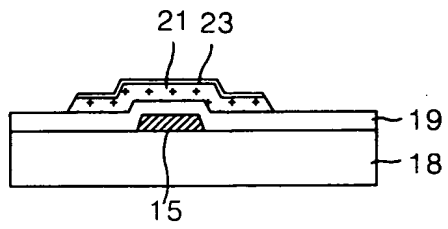
【도 4】



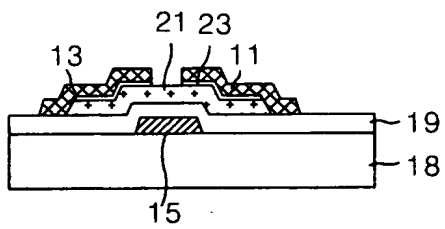
【도 5a】



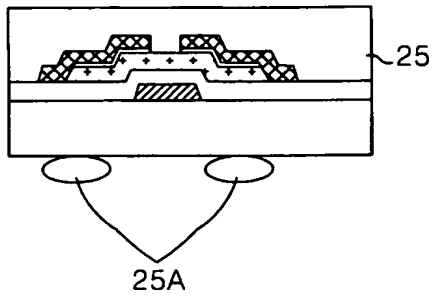
【도 5b】



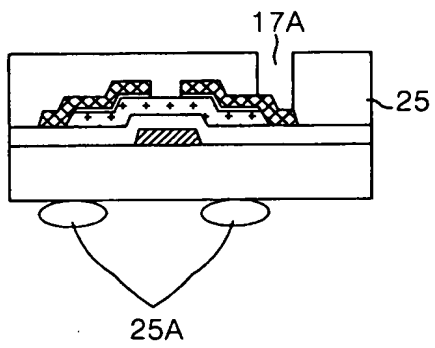
【도 5c】



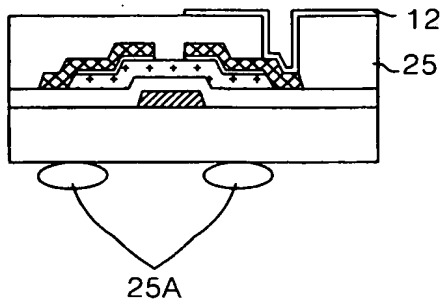
【도 5d】



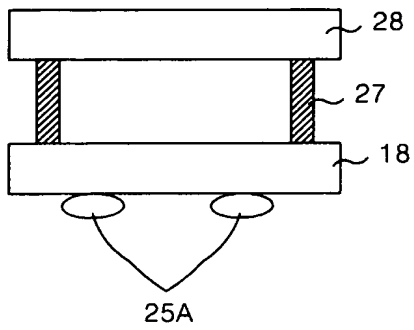
【도 5e】



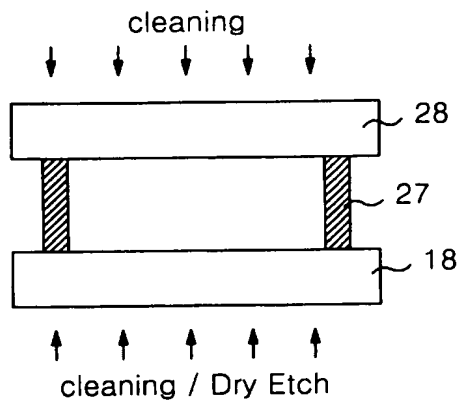
【도 5f】



【도 5g】



【도 5h】



【도 5i】

